

(19)



JAPANESE PATENT OFFICE

PATENT ABSTRACTS OF JAPAN

(11) Publication number: 2000040695 A

(43) Date of publication of application: 08 . 02 . 00

(51) Int. Cl

H01L 21/3065
C23F 4/00
H01L 21/203
H05H 1/46

(21) Application number: 10210136

(22) Date of filing: 24 . 07 . 98

(71) Applicant: OMI TADAHIRO ULTLLA CLEAN TECHNOLOGY KAIHATSU KENKYUSHO:KK

(72) Inventor: OMI TADAHIRO
NITTA TAKEHISA
HIRAYAMA MASAKI
KAIHARA TATSU
INO KAZUHIDE

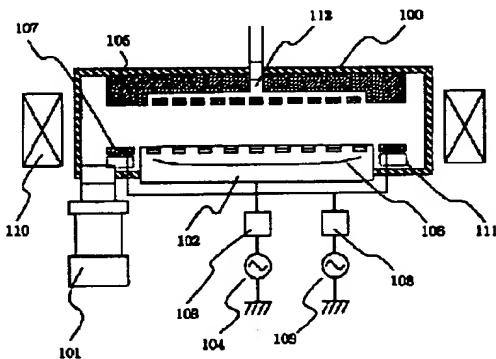
(54) PLASMA PROCESSOR

COPYRIGHT: (C)2000,JPO

(57) Abstract:

PROBLEM TO BE SOLVED: To provide a plasma etching device capable of equal etching process without charge up damage to a substrate and a sputtering device which is equal to the substrate and besides in which stress does not occur, by enabling the equalization of density of produced plasma to the surface of the substrate and the equalization of the self bias potential without rotating a magnetic field application means, keeping the pressure distribution on a substrate to be treated equal.

SOLUTION: A plasma processor is equipped with two parallel plate type of electrodes 1102 and 1105, and in this plasma processor which is provided with a means of application of a horizontal and unidirectional magnetic field to the face where plasma treatment is to be performed, an auxiliary electrode 107 is installed around one electrode, and space 111 capable of plasma excitation is provided on the opposite side to the face where the auxiliary electrode 107 opposes the other electrode, and the auxiliary electrode 107 has a means 109 for applying high frequency.



(19)日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開2000-40695

(P2000-40695A)

(43)公開日 平成12年2月8日(2000.2.8)

(51)Int.Cl.
H 01 L 21/3065
C 23 F 4/00
H 01 L 21/203
H 05 H 1/46

識別記号

F I
H 01 L 21/302
C 23 F 4/00
H 01 L 21/203
H 05 H 1/46

コード(参考)
C 4 K 0 5 7
G 5 F 0 0 4
S 5 F 1 0 3
M

審査請求 未請求 請求項の数7 OL (全9頁)

(21)出願番号 特願平10-210136

(22)出願日 平成10年7月24日(1998.7.24)

(71)出願人 000205041
大見 忠弘
宮城県仙台市青葉区米ヶ袋2-1-17-
301
(71)出願人 596089517
株式会社ウルトラクリーンテクノロジー開
発研究所
東京都文京区本郷4-1-4
(72)発明者 大見 忠弘
宮城県仙台市青葉区米ヶ袋2の1の17の
301
(74)代理人 100088096
弁理士 福森 久夫

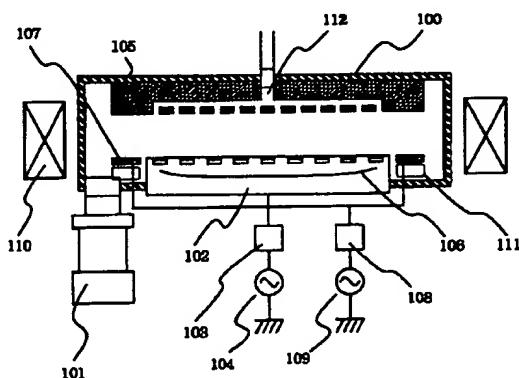
最終頁に続く

(54)【発明の名称】 プラズマプロセス装置

(57)【要約】

【課題】 被処理基体上の圧力分布を均一に保ったまま、磁場の印加手段を回転させることなく基体表面に対する生成プラズマ密度の均一化及びセルフバイアス電位の均一化を図ることが可能となり、基体に対して均一且つチャージアップダメージのないエッティングプロセスが可能なプラズマエッティング装置及び基体に対して均一且つ応力の発生しないスパッタリング装置を提供すること。

【解決手段】 本発明のプラズマプロセス装置は、平行平板型の2つの電極I 102およびI 105を備え、プラズマ処理が行われる面に対して水平でかつ一方向性を有する磁場の印加手段110を設けたプラズマプロセス装置において、一方の電極の外周部に補助電極107を設置しており、前記補助電極107が他方の電極と対向する面と反対側にプラズマを励起可能な空間111が設けられており、前記補助電極107に高周波を印加する手段109を有していることを特徴とする。



【特許請求の範囲】

【請求項1】 平行平板型の2つの電極IおよびIIを備え、プラズマ処理が行われる面に対して水平でかつ一方向性を有する磁場の印加手段を設けたプラズマプロセス装置において、

一方の電極の外周部に補助電極を設置しており、前記補助電極が他方の電極と対向する面と反対側にプラズマを励起可能な空間が設けられており、前記補助電極に高周波を印加する手段を有していることを特徴とするプラズマプロセス装置。

【請求項2】 前記電極Iに接続されている高周波の周波数 f_1 と前記補助電極に印加する高周波の周波数 f_2 は同じ周波数で逆位相であること特徴とする請求項1記載のプラズマプロセス装置。

【請求項3】 前記電極Iに接続されている高周波の周波数 f_1 と $f_2 >> f_1$ なる周波数 f_2 の高周波を前記補助電極に印加することを特徴とする請求項1記載のプラズマプロセス装置。

【請求項4】 前記電極Iと前記補助電極を電気的に短絡していることを特徴とする請求項1記載のプラズマプロセス装置。

【請求項5】 前記電極Iと前記補助電極がコンデンサを介して電気的に結合していることを特徴とする請求項1記載のプラズマプロセス装置。

【請求項6】 前記補助電極の下面は前記磁場印加手段により導入される磁場に平行であることを特徴とする請求項1～5のいずれか1項記載のプラズマプロセス装置。

【請求項7】 前記磁場の印加手段はダイポールリングマグネットであることを特徴とする請求項1～6のいずれか1項記載のプラズマプロセス装置。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は、プラズマプロセス装置に関する。

【0002】

【従来の技術】 DRAMやMPUなどのチップサイズの大型化に伴い、その基体として用いられるシリコン基板も大口径化される傾向にある。酸化膜やポリシリコンのエッティングは半導体生産において、最も重要な行程の1つであるが、以前使用してきた通常の平行平板型のRIE装置では、 $1.0 \mu\text{m}$ 以下の微細なパターンの加工性に対して要求されるプラズマ性能（例えば、 50 mTorr 以下のプロセス圧力、 1 mA/cm^2 以上のイオン電流密度、 $1 \times 10 \text{ cm}^{-3}$ 以上の電子密度）に答えられなかった。

【0003】 この問題を解決するため、磁場を導入したプラズマ源が開発され、このプラズマ源を搭載した装置の一例として、ダイポールリングマグネット（以下DRM）を利用したマグネットロンプラズマエッティング装置が

10 10導入した磁場を回転させること（特開昭61-208223号公報）により均一化を図る解決法が提案されていた。

【0004】 しかしながら、上記DRMを用いたマグネットロンプラズマ装置では低圧・高密度プラズマの生成は可能だが、基体上に生成するプラズマの高精度な制御は難しいという一面を持っている。すなわち、基体上に水平磁場を導入したことにより、基体上に対するプラズマ密度の均一化及びセルフバイアス電圧の均一化を図ることが困難であった。現状では磁場に勾配を持たせる工夫（特開昭62-21062号公報）やプロセス空間中に

20 20導入した磁場を回転させること（特開昭61-208223号公報）により均一化を図る解決法が提案されていた。

【0005】 しかしながら、特開昭62-21062号公報の記載技術の解決法はプロセス圧力などを変えた場合に勾配磁場の最適値が変化してしまうという問題があった。一方、特開昭61-208223号公報の記載技術の解決法には、プロセス中にある基体に対して見かけ上プラズマの均一化が図られてはいるが、磁場を回転させるための機構が必要であり、プラズマ装置全体の小型化が難しいという課題があった。

【0006】 この問題を解決するために、補助電極に高周波電力を印加することで均一水平磁場でプラズマを均一化する解決技術が示されている。この技術はプロセス圧力などを変えた場合でも補助電極に印加する高周波の電力を変化させることでプラズマの均一化を図ることが可能であり、また、磁場を回転させる必要もないため、プラズマ装置の小型化を図ることが可能であった。しかしながら、直径 300 mm 以上の基体を処理するプラズマ装置において圧力分布を数パーセント以内に抑えるために基体と上部電極の距離は 30 mm 以上に設定する必要がある。このような距離では補助電極に高周波を印加する効果が基体まで作用しないため、プラズマを均一化することが困難となってくる。

【0007】

【発明が解決しようとする課題】 本発明は、基体上の圧力分布を均一に保ったまま、磁場の印加手段を回転させることなく基体表面に対する生成プラズマ密度の均一化及びセルフバイアス電位の均一化を図ることが可能となり、基体に対して均一且つチャージアップダメージのないエッティングプロセスが可能なプラズマエッティング装置及び基体に対して均一且つ応力の発生しないスパッタリング装置を提供することを目的とする。

【0008】

【課題を解決するための手段】 本発明のプラズマプロセス装置は、平行平板型の2つの電極IおよびIIを備え、プラズマ処理が行われる面に対して水平でかつ一方向性を有する磁場の印加手段を設けたプラズマプロセス装置において、一方の電極の外周部に補助電極を設置しており、前記補助電極が他方の電極と対向する面と反対側にプラズマを励起可能な空間が設けられており、前記

補助電極に高周波を印加する手段を有していることを特徴とする。

【0009】

【実施例】以下に本発明の実施例を図面に基づいて説明する。なお、本発明範囲は以下の実施例に限定されるものではない。

【0010】(実施例1) 図1に実施例1に係るプラズマプロセス装置は、平行平板型の2つの電極I102およびI1105を備え、前記電極I102の前記電極I1105と対向する面または前記電極I1105の前記電極I102と対向する面上にはプラズマを用いて処理が行われる基体を設置しており、前記基体のプラズマ処理が行われる面に対して水平でかつ一方向性を有する磁場の印加手段110(ダイポールリングマグネット)を設けたプラズマプロセス装置において、前記電極I102の外周部に補助電極107を設置しており、前記補助電極107が電極I1105と対向する面と反対側にプラズマを励起可能な空間111が設けられており、前記補助電極107は高周波印加手段109を有している。

【0011】本例では、図1に示した平行平板型プラズマエッティング装置を用い、補助電極の下部にプラズマ空間が存在するか否かで電極Iに高周波電力(13.56MHz)を印加した際に生成したセルフバイアス電位及びプラズマ密度分布を調べた。

【0012】図1に示すチャンバ100はアルミニウム製であり、101は排気手段であり、ターボ分子ポンプ(セイコー精機製STP1000)を用いてチャンバ101内部を減圧としている。また、ガス導入手段112によりアルゴンガスを導入し、所望のチャンバ101内を所望の圧力に設定している。電極I102は整合回路103を介して周波数13.56MHzの高周波電源104を接続している。また電極I1105はアースに接地している。また、電極Iはプラズマのセルフバイアス電位およびイオン電流密度を測定するためのプローブ106が17個所設置してある。電極I102を上部より見たものを図2に示す。補助電極107は整合回路108を介して周波数13.56MHzの高周波電源109が設置してある。また補助電極107は取り外し可能な構造とした。図1の110は磁場印加手段であり120Gaussの平行磁場を電極I102の上に印加している。111はプラズマが励起可能な空間である。

【0013】図4は、セルフバイアス電位を測定した結果である。補助電極107を設置せず、プラズマが励起可能な空間111が存在しない場合すなわち従来のプラズマプロセス装置と同じ構造では電極I上部のE極側でセルフバイアス電位が負に大きかったものが、補助電極107設置し、プラズマ励起可能な空間が存在する場合では電極I上部のE極側のセルフバイアス電位が小さくなり、全体としてセルフバイアス電位が均一になることが

分かる。

【0014】図5は、イオン電流密度によりプラズマ密度を測定した結果である。補助電極下部にプラズマ空間が設けてある場合、E極側で下がっていたプラズマ密度を均一にすることができる。

【0015】(実施例2) 本例では補助電極に電極Iの高周波電力(13.56MHz)と同じ周波数で位相が180度異なる高周波電力を印加した場合のプラズマ電位および電極IIの消耗率を測定した。他の点は実施例1と同様である。

【0016】図6は、補助電極に13.56MHzを同位相で印加した場合と逆位相で印加した場合のプラズマ電位を示す。同位相で印加した場合は35Vであったプラズマ電位が逆位相にすることで15Vにすることができる。

【0017】図7は、電極IIがプラズマによりスパッタされて消耗しまう量を測定したものを示す。プラズマを24時間励起した後、電極IIの厚さの変化を測定した。13.56MHzを同位相で印加した場合では厚みが24μm減少し、逆位相で印加した場合は1μm減少した。

【0018】この結果から、電極Iと逆位相の高周波電力を補助電極に印加することでプラズマ電位を下げ、その結果、電極IIや真空容器の消耗を抑えることができる。

【0019】(実施例3) 本例では補助電極に電極Iの高周波電極(13.56MHz)よりも高い周波数(100MHz)の高周波電力を印加した場合の補助電極の消耗率を測定した。

【0020】他の点は実施例2と同様である。

【0021】図8は、補助電極に13.56MHzの高周波電力を印加した場合と100MHzを印加した場合の補助電極がプラズマでスパッタされて消耗した量を測定したものを示す。

【0022】プラズマを24時間励起した後、補助電極の厚さの変化を測定した。13.56MHzの高周波電力を補助電極に印加した場合では厚みが0.225mm減少し、100MHzで印加した場合は0.011mm減少した。

【0023】この結果から、電極Iよりも十分高い周波数の高周波電力を補助電極に印加することで真補助電極の消耗を抑えることができる。

【0024】(実施例4) 本例は電極Iと補助電極を電気的に短絡して、補助電極に接続する高周波電源を省略した例である。

【0025】図9に示す901は電極Iであり、902は補助電極である。903は高周波電源であり、整合回路904を介して電極Iと補助電極に接続してある。905は短絡板であり、アルミニウムなどの導電性の材料であるが、この材料に限定されるわけではない。また、

電極Iと補助電極を一体としてもよいことはいうまでもない。

【0026】その他の点は実施例1と同様である。

【0027】10は電極Iと補助電極を電気的に短絡して、補助電極に接続する高周波電源を省略した場合とおののに高周波電源(13.56MHz)を印加した場合のセルフバイアス電圧分布を測定したものである。2つともほぼ同様な結果であることが分かる。同様な効果を得ながら高周波電源が1つ省略できるため、装置全体が簡略化することが可能である。

【0028】(実施例5)本例は電極Iと補助電極をコンデンサにより電気的に結合し、補助電極に接続する高周波電源を省略した場合のプラズマ密度分布を調べたものである。

【0029】図11に示す1101は電極Iであり、1102は補助電極である。1103は高周波電源であり、整合回路1104を介して電極Iに接続してある。1105はコンデンサであり、電極Iと補助電極の間に設けてある。他の点は実施例1と同様である。

【0030】図12は電極Iと補助電極をコンデンサー(20pF)で接続した場合と、短絡の場合のプラズマ密度をイオン電流により測定したものである。

【0031】この結果より、短絡した場合よりもコンデンサーで接続した場合のほうがプラズマ密度をより均一にすることができることが分かる。

【0032】(実施例6)本例は補助電極の下面が導入される磁場に平行にした場合、セルフバイアス電位を最も均一にできる補助電極に印加する高周波電力を調べたものである。

【0033】図13は補助電極の側面図である。1300は磁場印加手段であり、1301は補助電極であり、1302は磁場印加手段により印加される磁場の磁力線を示す。

【0034】その他の点は実施例1と同様である。

【0035】図14は補助電極の下面が導入される磁場に平行にした場合と平行でない場合のセルフバイアス電位を最も均一にできる補助電極に印加する高周波電力を調べたものである。

【0036】磁場に平行でない場合、セルフバイアス電位に均一にできる補助電極に印加する高周波電力は200Wであったが、磁場に平行である場合は、100Wであった。補助電極の下面を磁場に平行にすることで少ない高周波電力でセルフバイアス電位を均一化することが可能である。

【0037】(実施例7)図15は本発明のプラズマプロセス装置をプラズマエッティング装置に適応した一例を示す模式的な断面図である。

【0038】図15において1500はチャンバ、1501は電極I、1502は電極II、1503は補助電極、1504は磁場印加手段、1505および1506

は高周波電源、1507及び1508は整合回路、1509は被処理基体、1510は電極II内蔵されたプロセスガスを導入する機構、1511は排気手段である。チャンバ1500および電極II1502はアルミニウム製であり、表面はフッ化処理を行いフッ化アルミニウムを形成させ保護膜としているが、この材料の組み合わせに限定されるわけではない。

【0039】チャンバ1500は排気手段1511により減圧容器として機能する。補助電極1503は炭化シリコンを用いたが、アルミニウムなどの導電性材料およびこれらの表面に絶縁膜を形成したものでもかまわない。磁場印加手段1604は120Gaussの均一磁場ダイポールリングマグネットを用いた。

【0040】高周波電源1505は13.56MHzの高周波電源で整合回路1507を介して電極II1501に接続されている。高周波電源1506も13.56MHzの高周波電源であるが、高周波電源1505と同期させて逆位相となるように整合回路1508を介して補助電極1502に接続されている。

【0041】被処理体1509はシリコンウェーハであり、表面にシリコン酸化膜およびパターンを形成したレジストが形成されている。

【0042】1510はプロセスガスを導入する手段であり、シャワープレートと呼ばれる、小さな孔を多数設けた構造とし、均一に被処理体1509にプロセスガスを導入できるようにした。また用いたプロセスガスはキセノン、八フッ化四炭素、一酸化炭素及び酸素の混合ガスを用いた。また、チャンバ内の圧力が30mTorrとなるようにガス流量を設定した。排気手段1511はスクリュー分子ポンプ(ダイキン製DMS300)3台によりチャンバ1500内部を減圧可能とした。

【0043】図16に本例のプラズマエッティング装置を用いてシリコン酸化膜のエッティングレートの被処理基体面内分布を示す。従来のプラズマエッティング装置の場合は被処理基体の中央部と周辺部で1000Å程度の差があるが、本発明ではほとんど差が認められなかった。

【0044】(実施例8)図17は本発明のプラズマプロセス装置をスパッタ装置に適応した一例を示す模式的な断面図である。

【0045】図17において1700はチャンバ、1701は電極I、1702は電極II、1703は補助電極、1704は磁場印加手段、1705、1706、1707は高周波電源、1708、1709、1710は整合回路、1711は被処理基体、1712はプロセスガスを導入する機構、1713は排気手段、1714は直流電源、1715はローパスフィルタである。

【0046】チャンバ1700はアルミニウム製であり、表面はフッ化処理を行いフッ化アルミニウムを形成させ保護膜としているが、この材料の組み合わせに限定されるわけではなく、水分などプロセスガス以外のガス

放出の極力少ない材料が好ましい。チャンバ1700は排気手段1711により減圧容器として機能する。

【0047】電極I1701はターゲット材であり、本例ではタンタルを用いているが、被処理体1709の表面に成膜するための材料を用いる。電極II1702は被処理体1711を設置している。補助電極1703はタンタルを用いた。アルミニウムなどの導電性材料およびこれらの表面に絶縁膜を形成したものでもかまわないが、電極I1709と同じ材質が好ましい。

【0048】磁場印加手段1706は120Gaussのダイポールリングマグネットを用いた。高周波電源1705は40MHzの高周波電源で整合回路1708を介して電極I1701に接続されている。高周波電源1706も40MHzの高周波電源であるが、高周波電源1705と同期させて逆位相となるように整合回路1707を介して補助電極1702に接続されている。また高周波電源1707は13.56MHzの高周波電源であり整合回路1710を介して電極II1702に接続されている。直流電源1714はローパスフィルタ1715を介して電極Iに接続されている。

【0049】被処理体1711はシリコンウエーハであり、表面にシリコン酸化膜を形成されている。

【0050】1712はプロセスガスを導入する手段でありキセノンガスを用いた。チャンバ内の圧力が10m Torrとなるようにガス流量を設定した。排気手段1711はターボ分子ポンプ(セイコー精機製STP2200)によりチャンバ1700内部を減圧可能とした。

【0051】

【発明の効果】本発明によれば、基体上の圧力分布を均一に保ったまま、磁場の印加手段を回転させることなく基体表面に対する生成プラズマ密度の均一化及びセルフバイアス電位の均一化を図ることが可能となり、基体に対して均一かつチャージアップダメージのないエッティングプロセスが可能なプラズマエッティングおよび基体に対して均一且つ応力の発生しないスパッタ成膜を実現できる。

【図面の簡単な説明】

【図1】実施例1に係る、補助電極を設置し、電極IIと対向する面と反対側にプラズマを励起可能な空間を設けたプラズマプロセス装置の断面模式図である。

【図2】実施例1に係る、電極Iを電極II側から見た平面図である。

【図3】実施例1に係る、補助電極を電極II側から見た平面図である。

【図4】実施例1に係る、電極I上におけるプラズマのセルフバイアス電位の分布を測定したグラフである。

【図5】実施例1に係る、電極I上におけるプラズマのイオン電流密度の分布を測定したグラフである。

【図6】実施例2に係る、プラズマ電位を測定したグラフである。

【図7】実施例2に係る、電極IIの消耗量を測定したグラフである。

【図8】実施例3に係る、補助電極の消耗量を測定したグラフである。

【図9】実施例4に係る、電極Iと補助電極を電気的に短絡して補助電極に接続する公衆は電源を省略した一例である。

【図10】実施例4に係る、電極I上におけるプラズマのセルフバイアス電位の分布を測定したグラフである。

【図11】実施例5に係る、電極Iと補助電極をコンデンサにより電気的に結合し、補助電極に接続する公衆は電源を省略した一例である。

【図12】実施例5に係る、電極I上におけるプラズマのイオン電流密度の分布を測定したグラフである。

【図13】実施例6に係る、補助電極の側面図である。

【図14】実施例6に係る、セルフバイアス電位の分布を最も均一にできる補助電極に印加する高周波電力を測定したグラフである。

【図15】実施例7に係る、プラズマエッティング装置の一例を示す模式的な断面図である。

【図16】実施例7に係る、シリコン酸化膜のエッティング速度を測定したグラフである。

【図17】実施例8に係る、スパッタ装置の一例を示す模式的な断面図である。

【符号の説明】

100 チャンバ

101 排気手段、

102 電極I、

103 整合回路、

30 104 高周波電源、

105 電極II、

106 プローブ、

107 補助電極、

108 整合回路、

109 高周波電源、

110 磁場印加手段、

111 プラズマが励起可能な空間、

112 ガス導入手段、

901 電極I、

40 902 補助電極、

903 高周波電源、

904 整合回路、

905 短絡板、

1101 電極I、

1102 補助電極

1103 高周波電源、

1104 整合回路、

1105 コンデンサ、

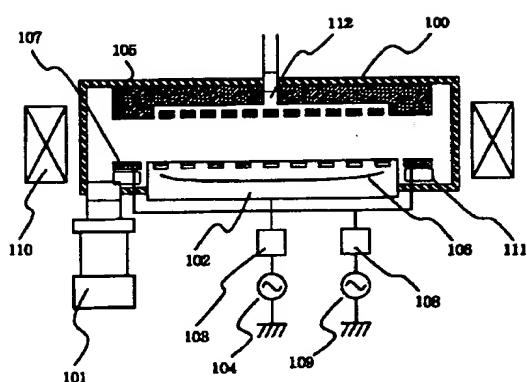
1300 磁場印加手段、

50 1301 補助電極、

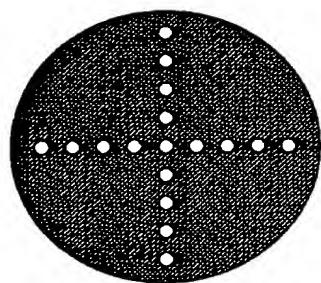
1302 磁力線、
 1500 チャンバ、
 1501 電極I、
 1502 電極II、
 1503 補助電極、
 1504 磁場印加手段、
 1505 高周波電源、
 1506 高周波電源、
 1507 整合回路、
 1508 整合回路、
 1509 被処理基体、
 1510 ガス導入手段、
 1511 排気機構、
 1700 チャンバ、
 1701 電極I、

1702 電極II、
 1703 補助電極、
 1704 磁場印加手段、
 1705 高周波電源、
 1706 高周波電源、
 1707 高周波電源、
 1708 整合回路、
 1709 整合回路、
 1710 整合回路、
 10 1711 被処理基体、
 1712 ガス導入手段、
 1713 排気機構、
 1714 ローパスフィルタ、
 1715 直流電源。

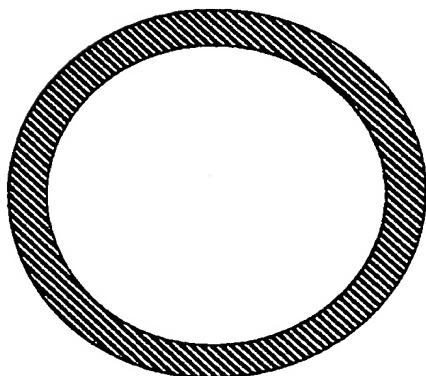
【図1】



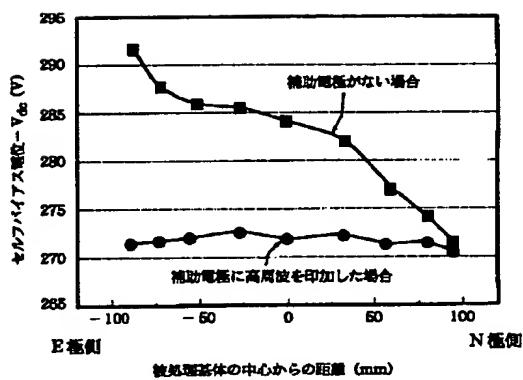
【図2】



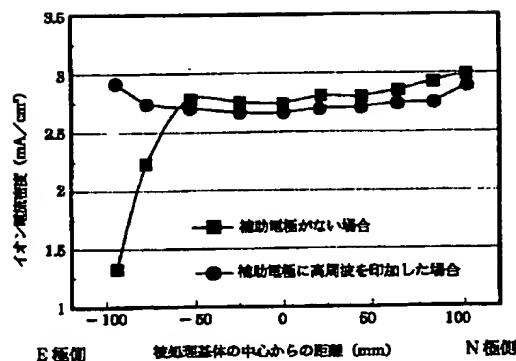
【図3】



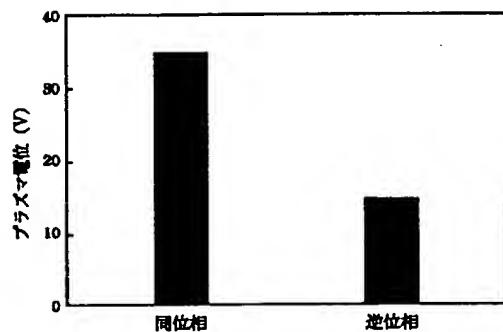
【図4】



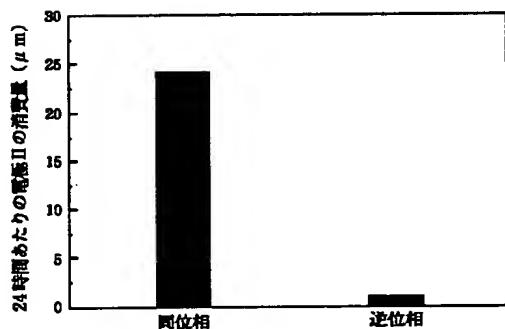
【図5】



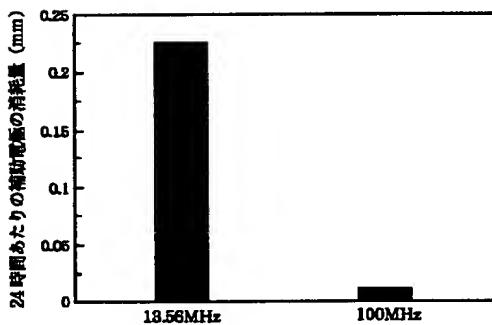
【図6】



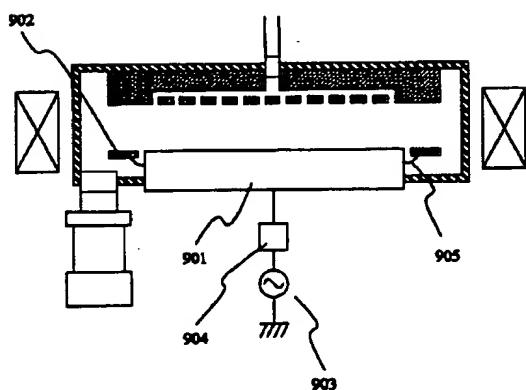
【図7】



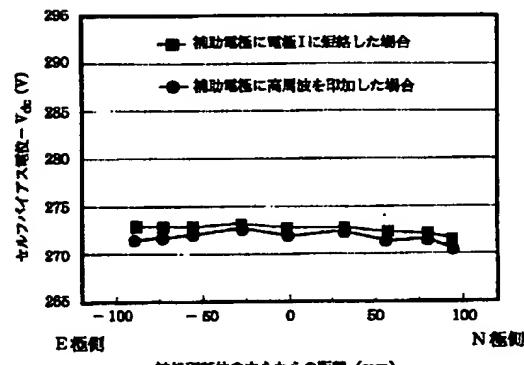
【図8】



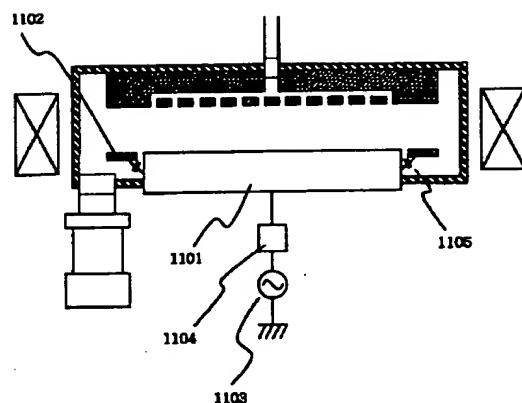
【図9】



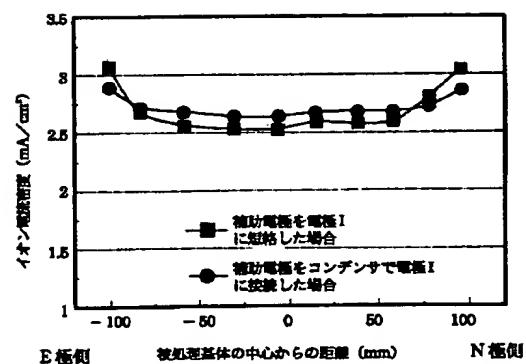
【図10】



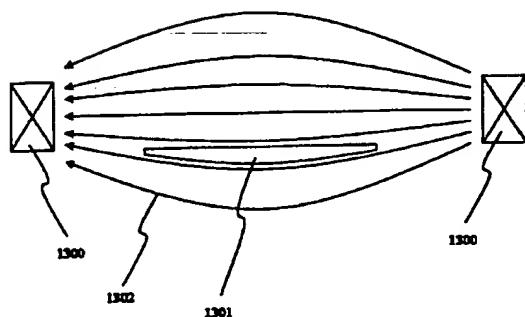
【図11】



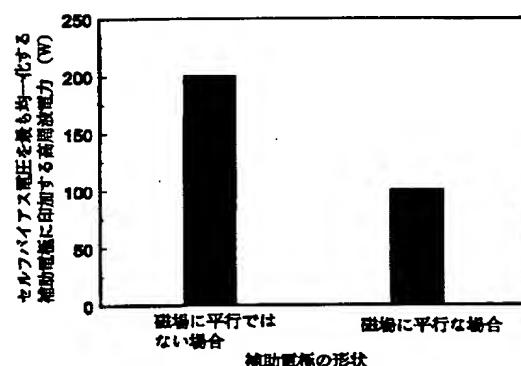
【図12】



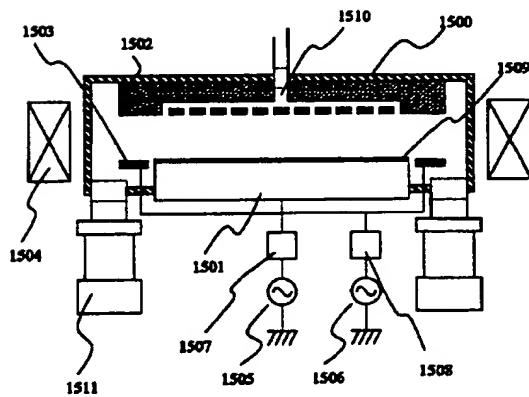
【図13】



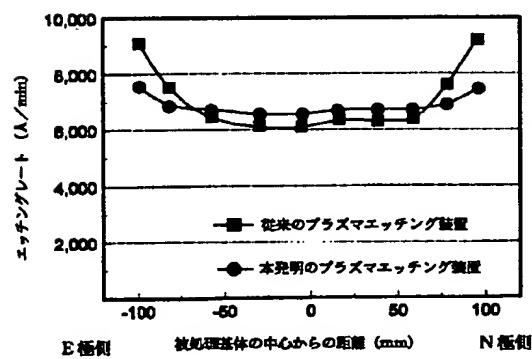
【図14】



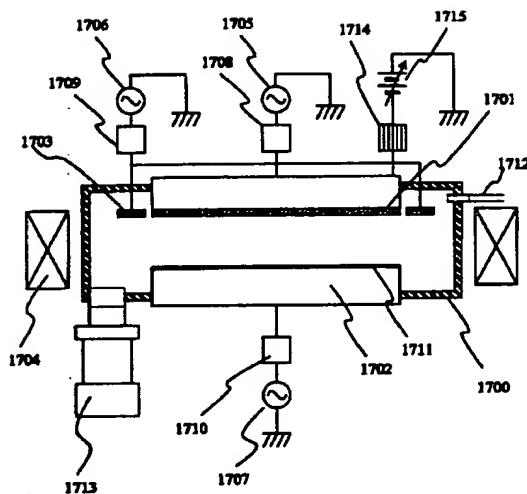
【図15】



【図16】



【図17】



フロントページの続き

(72)発明者 新田 雄久

東京都文京区本郷4丁目1番4号 株式会
社ウルトラクリーンテクノロジー開発研究
所内

(72)発明者 平山 昌樹

宮城県仙台市青葉区荒巻字青葉(無番地)
東北大學内

(72)発明者 海原 竜

宮城県仙台市青葉区荒巻字青葉(無番地)
東北大學内

(72)発明者 伊野 和英

宮城県仙台市青葉区荒巻字青葉(無番地)
東北大學内

F ターム(参考) 4K057 DA16 DB06 DB15 DB20 DD01

DE14 DM02 DM09 DM18 DM40

DN01

5F004 AA01 AA06 BA05 BA08 BB11

BB13 BD05 CA03 CA06 DA00

DA23 DA26 DB03

5F103 AA08 AA10 BB09 BB23 BB51

BB56 RR10